

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-243960**

(43)Date of publication of application : **08.09.2000**

(51)Int.Cl.

H01L 29/78
H01L 21/8238
H01L 27/092
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : **11-303836**

(71)Applicant : **SHARP CORP**

(22)Date of filing : 26.10.1999

(72)Inventor : MOROSAWA NARIHIRO
IWATA HIROSHI

(30)Priority

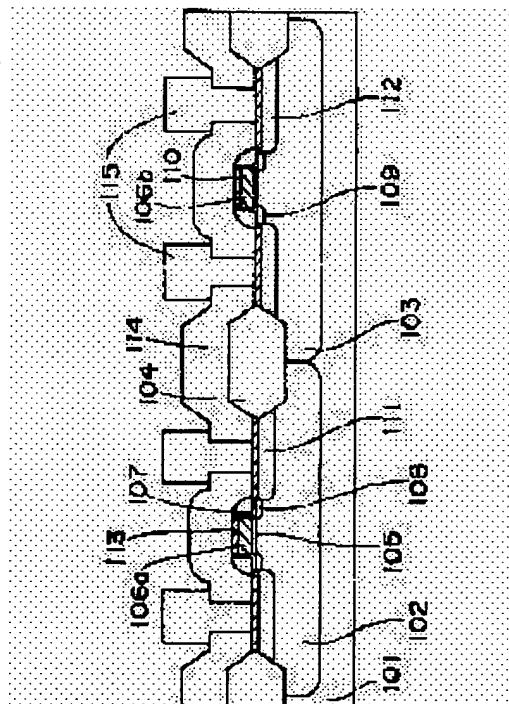
Priority number : **10365861** Priority date : **24.12.1998** Priority country : **JP**

(54) INSULATED-GATE TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To offer a highly reliable insulated-gate transistor with a sufficiently great conductance and its manufacturing method.

SOLUTION: This transistor features usage of an oxynitride film having halogens and a nitrogen concentration of 1×10^{20} (per cm^3) or higher as a gate insulating film 105. The high nitrogen concentration preventing boron contained in a gate electrode 106b of the p-type transistor from diffusing, and halogens contained in the gate insulating film increase the conductance of the transistor, resulting in enhanced reliability for hot-carrier injection.



LEGAL STATUS

[Date of request for examination]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243960

(P2000-243960A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int. Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 5 F 0 0 1
21/8238		27/08	3 2 1 D 5 F 0 4 0
27/092		27/10	4 3 4 5 F 0 4 8
27/115		29/78	3 7 1 5 F 0 8 3
21/8247			

審査請求 未請求 請求項の数12 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平11-303836

(22) 出願日 平成11年10月26日 (1999. 10. 26)

(31) 優先権主張番号 特願平10-365861

(32) 優先日 平成10年12月24日 (1998. 12. 24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 諸沢 成浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 岩田 浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外1名)

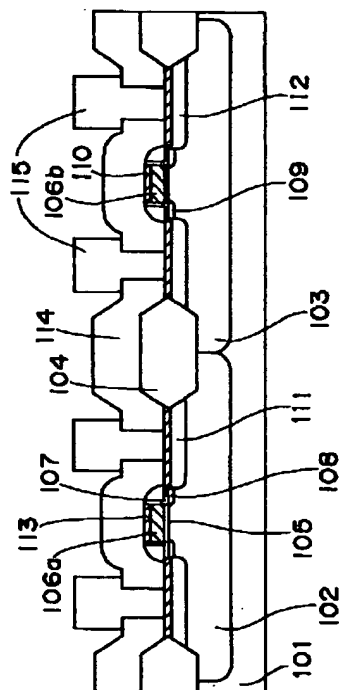
最終頁に続く

(54) 【発明の名称】 絶縁ゲート型トランジスタとその製造方法

(57) 【要約】

【課題】 十分に大きいコンダクタンスを持ち、信頼性に優れた絶縁ゲート型トランジスタおよびその作製方法。

【解決手段】 窒素濃度が $1 \times 10^{20} (\text{/cm}^3)$ 以上およびハロゲン元素が含まれる窒化酸化膜をゲート絶縁膜に用いることを特徴とする絶縁ゲート型トランジスタ。ゲート絶縁膜に窒素濃度が $1 \times 10^{20} (\text{/cm}^3)$ 以上含まれるためにp型トランジスタのゲート電極に含まれるボロンがチャンネルに拡散せず、ゲート絶縁膜にハロゲン元素が含まれるため、トランジスタのコンダクタンスが増大し、ホットキャリア注入に対する信頼性が向上する。



【特許請求の範囲】

【請求項1】 基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタにおいて、シリコンと酸素を成分とする前記ゲート絶縁膜は、窒素原子とハロゲン原子の両方を含むことを特徴とする絶縁ゲート型トランジスタ。

【請求項2】 前記ゲート絶縁膜の窒素原子濃度が、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることを特徴とする請求項1に記載の絶縁ゲート型トランジスタ。

【請求項3】 前記絶縁ゲート型トランジスタのソース・ドレイン領域は、チャンネル部よりも上方まで積み上がっていることを特徴とする請求項1または2に記載の絶縁ゲート型トランジスタ。

【請求項4】 前記ゲート絶縁トランジスタは、浮遊ゲート電極と、浮遊ゲート電極上に層間絶縁膜を介して設けられた制御ゲート電極を有する構造であることを特徴とする請求項1乃至3のいずれか1つに記載の絶縁ゲート型トランジスタ。

【請求項5】 前記ハロゲン原子がフッ素であることを特徴とする請求項1乃至4のいずれか1つに記載の絶縁ゲート型トランジスタ。

【請求項6】 前記ゲート絶縁膜の膜厚が0.5nm以上かつ5nm以下であることを特徴とする請求項1乃至5のいずれか1つに記載の絶縁ゲート型トランジスタ。

【請求項7】 基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタを製造する工程において、前記ゲート絶縁膜として窒素原子を含むシリコン酸化膜を形成する工程と、該窒素原子を含むシリコン酸化膜にハロゲン元素を導入する工程を含むことを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項8】 前記窒素原子を含むシリコン酸化膜を形成する工程が、シリコン酸化膜を形成する工程と、このシリコン酸化膜を窒化する工程とであることを特徴とする請求項7に記載の絶縁ゲート型トランジスタの製造方法。

【請求項9】 前記窒素原子を含むシリコン酸化膜を窒素化する工程が、アンモニアガスもしくは一酸化窒素ガスにより窒化することを特徴とする請求項8に記載の絶縁ゲート型トランジスタの製造方法。

【請求項10】 前記窒素原子を含むシリコン酸化膜を形成する工程が、一酸化窒素を用いて形成する工程であることを特徴とする請求項8に記載の絶縁ゲート型トランジスタの製造方法。

【請求項11】 前記窒素原子を含むシリコン酸化膜を形成する工程が、一酸化二窒素ガスを用いてシリコン酸化膜を形成後、一酸化窒素あるいはアンモニアガスにより窒化を行う工程であることを特徴とする請求項8に記載の絶縁ゲート型トランジスタの製造方法。

【請求項12】 前記ハロゲン元素を導入する工程が、フッ素をイオン注入する工程であることを特徴とする請

求項7乃至11のいずれか1つに記載の絶縁ゲート型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、絶縁ゲート型トランジスタにおけるゲート絶縁膜を備えた半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、トランジスタのしきい値電圧のバラツキの抑制、および短チャネル効果の抑制の必要性から、NMOSにはN型不純物を含んだゲート、PMOSにはP型不純物を含んだゲートを用いた表面チャネル型のトランジスタを用いたデュアルゲート構造を有するCMOSの開発が行われている。このことは、たとえば、インターナショナルエレクトロニクスデバイスミーティング(International Electron Devices Meeting)1996 p555~558に報告されている。

【0003】しかしながら、表面チャネル型のトランジスタでデュアルゲート構造のCMOSを形成しようとする際には以下の問題点が存在する。P型ドーパドシリコンをゲート電極として用いた場合、不純物の活性化のための熱処理工程においてゲート電極中のボロンがゲート酸化膜中を通り抜け、基板シリコンに到達しトランジスタのしきい値電圧を大きく変化させるという問題がある。

【0004】このため、ゲート絶縁膜に窒化酸化膜を用いることにより、ボロンの突き抜けを抑制できることがインターナショナルエレクトロニクスデバイスミーティング(International Electron Devices Meeting)1990 p429~p432に報告されている。

【0005】また、ボロンを含まないポリシリコン膜をゲート電極に用いた場合には、ゲート絶縁膜にフッ素を導入することでトランジスタ特性および信頼性が向上するということがIEEE Electron Device Lett. 10,141(1989)で報告されている。

【0006】

【発明が解決しようとする課題】しかし、ゲート絶縁膜に窒化酸化膜を用いるとトランジスタの移動度が酸化膜に比べて減少することがシンポジウム オン ブイエルエスアイ テクノロジー(Symposium on VLSI Technology) 1990 p131~p132に報告されており問題となっている。

【0007】また、現在、表面チャネル型のP型トランジスタとしてはP型不純物としてボロンを含むポリシリコン膜をゲート電極に用いたものが主流であり、このようなゲート絶縁膜がシリコン酸化膜で、ゲート電極にフッ素を含む場合には、フッ素がボロンの拡散を促進するためにボロンがより基板シリコンまで到達しやすくなるが生じ、従って、P型トランジスタのしきい値電圧が変化しやすくなるという問題がある。

【0008】また、浮遊電極と制御電極を持つゲート絶

緑型トランジスタが不揮発性メモリとして用いられているが、素子の微細化とともに薄いゲート絶縁膜を持つトランジスタが求められてきている。しかしながら、不揮発メモリに用いられるゲート絶縁膜には高電界が印加されるために、ゲート絶縁膜の膜厚が薄くなると劣化が進行し、リーク電流が増大するという問題がある。この劣化は、酸化膜厚が10nmより薄くなると顕著に現れはじめ、膜厚の減少とともに指数関数的に増加する傾向を示す。

【0009】このように、ボロンの通り抜けによる基板への拡散を防止し、かつ、トランジスタの移動度を低下させない目的で、発明者が鋭意研究を重ねた結果、本発明がなされた。

【0010】

【課題を解決するための手段】本発明の絶縁ゲート型トランジスタは、基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタにおいて、シリコンと窒素を成分とする前記ゲート絶縁膜は、窒素元素とハロゲン元素の両方を含むことを特徴とする。ゲート絶縁膜に窒素元素とハロゲン元素が含まれるため、界面への窒素原子の導入による界面劣化を低減して、界面単位密度が低減して良好な界面を形成することができた。また、界面に含まれるハロゲン元素はシリコンと安定な結合を形成するため、ホットキャリア等によるキャリア注入に対してもダングリングボンドを形成することがない。この結果トランジスタ特性と信頼性が向上するという効果を有する。特に、表面チャネルPMOSではボロンの突き抜けが問題となるため、窒素を含む酸化膜が用いられるが、窒素を含む酸化膜を用いると界面特性の劣化による移動度劣化が発生する。これに界面欠陥を補償する効果を持つハロゲン原子を含ませることで界面特性が向上する。通常ハロゲン原子が含まれるとボロンの突き抜けが増幅されるが、窒素原子を十分な濃度入れておけば、ボロンの突き抜けを抑制しつつ移動度の劣化を抑えることができる。

【0011】また、前記ゲート絶縁膜の窒素原子濃度が、 $1 \times 10^{20} / \text{cm}^3$ 以上であることを特徴とする。

【0012】窒素原子濃度を $1 \times 10^{20} / \text{cm}^3$ 以上含む絶縁膜を絶縁ゲート型トランジスタのゲート絶縁膜に用いるため、特に、P型トランジスタにおけるゲート電極に含まれるボロンが基板に拡散しない。また、ゲート絶縁膜中にハロゲン元素が含まれるため界面の欠陥を補償することができるため界面単位密度が低減し、移動度が向上し、トランジスタの信頼性が向上する。

【0013】また、本発明の一実施形態では、絶縁ゲート型電界効果トランジスタのソース・ドレイン領域は、チャネル部よりも上方まで積み上がっていることを特徴とする。

【0014】たとえば、図8に示すようなデバイスでは、ソース、ドレイン領域と上部配線を接続するコンタ

クト孔は、活性領域上に形成する必要はなく、素子分離領域上まで延在する積み上げ層上に形成すれば良い。このため、上記ソース、ドレイン領域幅を加工限界まで縮小することが可能となる。つまり、最小加工寸法Fまで許容できる装置を用いた場合、一般的に下地に対する上部パターンのフォトリソグラフィーの位置合せマージンは、 $1/3F$ 程度となるため、位置合せが最大にズレた場合でも活性領域上にソース、ドレイン領域が確保される程度、つまり、ゲート-素子分離間マージン幅は、 $2/3F \sim F$ 程度で良い。このため、ゲート長をFとすると、素子分離から素子分離までの距離は、 $7/3F \sim 3F$ 程度となる。このように、ゲート電極に対して、素子分離が非常に近くなった場合、ゲート電極と素子分離の応力により、ボロンの異常拡散の影響がより顕著になる。本発明を用いることにより、トランジスタ特性を劣化させることなくボロンの拡散を阻止することができる。また、トランジスタの信頼性を向上することも可能である。

【0015】さらに、前記ゲート絶縁型トランジスタは、浮遊ゲート電極と、浮遊ゲート電極上に層間絶縁膜を介して設けられた制御ゲート電極を有する構造であることを特徴とする。浮遊ゲート電極と制御ゲート電極を有する構造のトランジスタは、高電界を印加する必要があるため、ゲート絶縁膜の信頼性が特に重要である。

【0016】特に、ゲート絶縁膜の膜厚が10nm以下の領域においては高電界印加後に絶縁膜を流れるリーク電流が上昇するという問題が生じる。本発明においては絶縁膜に含まれるハロゲン元素によりゲート絶縁膜のリーク電流の上昇が抑制できる。

【0017】また、上記のハロゲン原子がフッ素であることを特徴とする。特に、フッ素原子は原子半径が小さいため絶縁膜中の原子の結合状態を乱すことなくトランジスタ特性を向上させることができる。また、フッ素とシリコンとの結合エネルギーが大きいいため安定な結合を得ることができるため、信頼性の優れた絶縁膜を形成することができる。

【0018】さらに、前記ゲート絶縁膜の膜厚が0.5nm以上かつ5nm以下であることを特徴とする。このゲート絶縁膜の膜厚が0.5nm以上においても本発明によって安定した膜形成が可能になる。また、ゲート絶縁膜の5nm以下の膜厚領域においては、ゲート絶縁膜に窒素を含まない場合には、ボロンがゲート絶縁膜中を拡散してボロンの突き抜けが生じるが、本発明においては窒素原子を含むためにボロンの突き抜けが生じず、ハロゲン元素によりトランジスタ特性を改善することが可能になる。

【0019】基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタを製造する工程において、前記基板上にゲート絶縁膜として、窒素原子を含むシリコン酸化膜を形成する工程と、この窒素原子を含

10

20

30

40

50

むシリコン酸化膜にハロゲン元素を導入する工程を含むことを特徴とする。このとき、ゲート絶縁膜として一酸化窒素ガスや一酸化二窒素ガスやアンモニアガスを用いて700から1200℃程度の温度で反応させることで、窒素を含むシリコン酸化膜を形成する。ここで、シリコン酸化膜中の窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 以上になるように反応温度と反応時間の制御を行う。この後、ハロゲン元素のフッ素や塩素を含む三フッ化窒素、三塩化窒素等のガスを用いて絶縁膜中にハロゲン元素を導入する。この際、フッ素や塩素を後工程においてイオン注入することによって、ゲート絶縁膜中にハロゲン元素を導入することもできる。ここで、ガスを用いてハロゲン元素を導入する場合は、反応温度と反応時間を制御することで、また、イオン注入による場合は、注入ドーズ量を制御することによって、絶縁膜中に含まれるハロゲン元素の最適値を制御する。この結果、窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 以上およびハロゲン元素を含むシリコン酸化膜を形成することができる。

【0020】前記窒素を含むシリコン酸化膜を形成する工程が、シリコン酸化膜を形成する工程と、このシリコン酸化膜を窒化させる工程からなることを特徴とする。まず、酸素雰囲気もしくは水蒸気雰囲気によりシリコン酸化膜を形成する。その後、一酸化窒素、一酸化二窒素、アンモニア等のガスを用いてシリコン酸化膜を窒素化することで窒素を含むシリコン酸化膜を形成する。この様にして、窒素を含むシリコン酸化膜を形成することで、ウエハー面内で膜厚と窒素量が均一な窒素を含むシリコン酸化膜を形成することができる。

【0021】前記窒素を含むシリコン酸化膜を形成する工程が、一酸化窒素を用いて形成することを特徴とする。一酸化窒素を用いることで単一工程で窒素量を制御した窒素を含むシリコン酸化膜を形成することができる。

【0022】前記窒素を含むシリコン酸化膜を形成する工程が、一酸化二窒素を用いて窒素を含むシリコン酸化膜を形成後、一酸化窒素あるいはアンモニアガスにより窒化を行なう工程であることを特徴とする。

【0023】まず、最初に一酸化二窒素を用いて窒素を含むシリコン酸化膜を形成することで、酸化速度が遅いため薄い膜厚の窒素を含むシリコン酸化膜を制御良く形成することができる。その後、一酸化二窒素もしくはアンモニアガスを用いて窒化することでより窒素濃度を高めることが可能になる。

【0024】前記ハロゲン元素を導入する工程がフッ素をイオン注入する工程であることを特徴とする。フッ素は拡散速度が速いため、ゲート電極にフッ素を注入し、熱処理することで容易に絶縁膜中にフッ素を導入することができる。また、フッ素は原子半径が小さいため、絶縁膜中の原子の結合状態を乱すことなくトランジスタ特性を向上させることができる。また、フッ素とシリコン

との結合エネルギーが大きいため安定な結合を得ることができるため、信頼性の優れた絶縁膜を形成することができる。

【0025】

【発明の実施の形態】(実施例1)図1に本発明に係わるデュアルゲートCMOS型絶縁ゲートトランジスタを示す。半導体基板101上に、p-ウエル102、n-ウエル103、及び素子分離領域104を形成した。p-ウエル102にはゲート絶縁膜105、n+多結晶ゲート電極106a、浅いn型拡散層108、注入保護膜107、サイドウォールスペーサー110、深いn型拡散層111、層間絶縁膜114、メタル配線115、からなるNMOSTランジスタが、n-ウエル103にはゲート絶縁膜105、p+多結晶ゲート電極106b、浅いp型拡散層109、注入保護膜107、サイドウォールスペーサー110、深いp型拡散層112、LDD領域109、シリサイド膜113、層間絶縁膜114、メタル配線115からなるPMOSTランジスタがそれぞれ形成されている。ここでゲート絶縁膜は窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 以上およびフッ素原子が含まれるシリコン酸化膜である。

【0026】図2に絶縁ゲート型トランジスタにおけるゲート絶縁膜厚2.5nmの際のPMOSTランジスタのフラットバンド電圧のゲート絶縁膜中の窒素濃度依存性のグラフを示す。なお、本実施例においてはソース・ドレイン部に注入した不純物の活性化熱処理を窒素雰囲気中において温度850℃、時間30分で行っている。図に示す通り、窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上の場合にはフッ素注入を行ってもフラットバンド電圧の変化の少ない特性が得られており、P型トランジスタにおけるゲート電極に含まれるボロンがほとんどトランジスタのチャネルにまで拡散しないことがわかる。図2に示されるように、窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上の時に、特に、急激に特性の向上が見られている。

【0027】ここでゲート絶縁膜の膜厚は安定に膜が形成することができる0.5nm以上かつボロンの突き抜けが問題になる5nm以下の膜厚範囲において主に用いることが可能である。

【0028】図3に絶縁ゲート型トランジスタにおけるゲート絶縁膜厚2.5nmの際のP型トランジスタの最大コンダクタンスのゲート絶縁膜中のフッ素濃度依存性のグラフを示す。図3に示す通りフッ素元素が含まれる場合には、界面の欠陥を補償することができるため界面単位密度が低減し、移動度が向上する。この際に絶縁膜中に窒素が $1 \times 10^{20} / \text{cm}^3$ 以上含まれているため、図2に示した様にハロゲン元素のフッ素によるボロンの突き抜けの増加は抑制される。また、良好な界面が形成されることによりトランジスタのサブスレッショルド係数も低減することができた。

【0029】また、ハロゲン元素とシリコンとは結合エネルギーが大きいため安定な結合を得ることができる。そのため微細なトランジスタで問題となるホットキャリア注入によるトランジスタ特性の劣化を低減することができ、信頼性の優れた絶縁膜を形成することができる。

【0030】ハロゲン元素の1種であるフッ素を添加した場合のNMOSTランジスタのホットキャリアストレスの結果を図7に示す。この際ストレス電圧はドレイン電圧3V、ゲート電圧は基板電流が最大になる電圧に設定した。ゲート絶縁膜に窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 含まれる窒化酸化膜を用いることで相互コンダクタンスの劣化が大きくなるが、ゲート絶縁膜に窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 含まれる窒化酸化膜にフッ素添加を行うことで相互コンダクタンスの劣化が低減されている。

【0031】上記の実施例においては、ゲート電極には多結晶シリコンを用いているが、多結晶ゲルマニウムや多結晶シリコンゲルマニウム等を用いることもできる。また、金属のタングステン等や多結晶膜と金属の積層構造等を用いることもできる。

【0032】(実施例2)図4に、本発明に係わる浮遊ゲート電極と、浮遊ゲート電極上に層間絶縁膜を介して設けられた制御ゲート電極を有する絶縁ゲート型トランジスタを用いたメモリセルの断面図を示す。図4において、401はシリコン基板、402は素子分離領域、403は電極、404はゲート絶縁膜である。ここでゲート絶縁膜は窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上およびハロゲン原子が含まれるシリコン酸化膜である。405は浮遊ゲート電極、406は層間絶縁膜、407は制御ゲート電極、408はソース領域、409はドレイン領域、410は絶縁膜である。

【0033】本実施例のメモリセルにおける絶縁ゲート型トランジスタにおいては、従来用いられているシリコン酸化膜をゲート絶縁膜404に用いると、書き換え時にゲート絶縁膜に高電圧を印加するため、ゲート絶縁膜厚が10nm以下の領域においては、書き換え回数の増加とともにリーク電流が増大するという問題があった。しかし、本実施例のゲート絶縁膜は窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上およびハロゲン原子が含まれるシリコン酸化膜をゲート絶縁膜に用いることで、ゲート絶縁膜中と界面に含まれる窒素原子とハロゲン元素とがチャンネルとゲート絶縁膜の界面に安定な結合を形成することができる。これによって、メモリセルの書き換え時に発生するホットキャリアによる界面の劣化が生じないため、特性劣化を大幅に低減させることができた。このため、メモリセルの書き換え回数が飛躍的に改善された。また、安定して膜を形成することができる0.5nm以上の膜厚において用いることが好ましい。

【0034】本技術を用いることにより、ゲート絶縁膜を薄くすることが可能であるので、素子の微細化が可能になり、集積度の高いメモリ素子が形成することができ

た。

【0035】(実施例3)図5に、本発明に係わるデュアルゲートCMOS型半導体装置の製造工程を示す。シリコン半導体基板501上に、p-ウエル502、n-ウエル503、及びフィールド酸化膜(素子分離領域)504を形成した。

【0036】次に、しきい値電圧制御及び短チャネル効果防止のために、NMOS素子(p-ウエル502)にはボロンの、PMOS素子(n-ウエル503)には隣10の、不純物イオン注入をそれぞれ行った。次に、ゲート酸化膜形成前に約80℃の温度のアンモニアと過酸化水素水の混合液での洗浄工程と約80℃の温度の塩酸と過酸化水素水の混合液での洗浄工程を行った後で、約1%の弗化水素水でシリコン表面の洗浄を行った。洗浄工程はこれらの溶液での洗浄に限らない。洗浄工程の後、酸化性雰囲気中で800℃程度の温度でシリコン表面を酸化して膜厚約2.5nmのシリコン酸化膜505を形成する。ここまでの工程での断面図を図5(a)に示す。

【0037】その後、アンモニアガスあるいは一酸化窒素雰囲気において900℃程度の温度でシリコン酸化膜の窒化工程506を行う。この工程により窒素を $1 \times 10^{20} (/ \text{cm}^2)$ 以上含むゲート酸化膜506を形成する。なお、窒素を含むゲート酸化膜505を形成するために一酸化窒素あるいは二酸化一窒素を用いてシリコン表面を酸化することで微量に窒素を含むシリコン酸化膜を形成した後、アンモニアガスあるいは一酸化窒素雰囲気において窒化することで窒素を含むゲート酸化膜を形成しても良い。また、一酸化窒素雰囲気中で酸化することで酸化温度と酸化時間を制御することにより、一工程で20 窒素を含むゲート酸化膜を形成することも可能である。ここまでの工程での断面図を図5(b)に示す。

【0038】この後、LPCVD法により約620℃程度の温度でポリシリコン膜507を100~300nm程度(好ましくは250nm)堆積する。その後、ハロゲン元素のフッ素あるいは塩素を $5 \times 10^{14} (/ \text{cm}^2)$ 程度注入する工程508を行う。このハロゲン元素の注入工程をフォトリソグラフィ及びエッチングを含む周知の工程を経て、多結晶シリコン膜を所望のパターンにパターニングした後に行うことも可能である。特に、フッ素原子は原子半径が小さいため、絶縁膜中の原子の結合を乱すことなくトランジスタ特性を向上させることができ、また、フッ素とシリコンとの結合エネルギーが大きいため安定な結合を得ることができるため、信頼性の優れた絶縁膜を形成することができるので、最も好ましい。

【0039】なお、本実施例においては、ハロゲン元素をゲート絶縁膜に導入するのにイオン注入を用いているが、ゲート酸化膜の形成時に三弗化窒素や三塩化窒素等のガスを用いて600~1000℃程度の温度で処理することでフッ素や塩素をゲート絶縁膜に導入することも50

可能である。デュアルゲートCMOSにおけるPMOSトランジスタの形成において、ソース/ドレインとゲートへの不純物導入をイオン注入により同時に行い、注入イオン種に BF_2 を用いた場合は、ゲート電極にフッ素が導入される。しかし、この場合は、上記発明によるフッ素導入法に比べて注入量および注入エネルギーに制限がある。なぜなら、低抵抗のゲート電極を形成するには一定以上の注入量と注入エネルギーが必要となるため、結晶欠陥の生成や高濃度のフッ素の混入により特性の劣化が生じるからである。ここまでの工程での断面図を図5(c)に示す。

【0040】次に、フォトリソグラフィー及びエッチングを含む周知の工程を経て、多結晶シリコン膜を所望のパターンにパターニングした。その後、多結晶シリコン膜(ゲート電極)表面及び活性化領域(ソース・ドレイン)上のシリコン酸化膜をフッ酸溶液などにより完全に除去した後、不純物の注入保護膜としてシリコン窒化膜を3~30nm程度(好ましくは5nm)堆積した。なお、注入保護膜としては、シリコン酸化膜を用いても良いが、この場合、イオン注入時に上記シリコン酸化膜から酸素が半導体内にノックオンされ、後の工程でシリサイド化を行う場合には、酸素がシリサイド化反応を阻害する。このため、本実施例では注入保護膜としてシリコン窒化膜を用いた。また、注入保護膜なしで直接注入しても良い。

【0041】次に、NMOS素子領域にチャネル近傍付近に浅い接合を形成するために、フォトリソグラフィー工程によりPMOS素子をフォトレジスト膜によって被い、NMOS素子にはシリコン半導体中でドナーとして振る舞う不純物イオンとして砒素を2~30keVのエネルギー、注入量 $0.5 \sim 5 \times 10^{14}$ (/cm²)程度でイオン注入を行った。NMOS素子において不純物としてアンチモンイオンを用いる場合は、3~35keVのエネルギー、注入量 $0.5 \sim 5 \times 10^{14}$ (/cm²)程度で注入を行う。この場合、PMOS素子領域においては、浅いp型拡散層509が形成される。

【0042】次に、フォトレジスト膜を除去した後、PMOS素子領域にチャネル近傍付近に浅い接合を形成するために、フォトリソグラフィー工程によりNMOS素子をフォトレジスト膜によって被い、PMOS素子にはシリコン半導体中でアクセプタとして振る舞う不純物イオンとして BF_2 イオンを5~40keVのエネルギー、注入量 $0.5 \sim 5 \times 10^{14}$ (/cm²)程度で注入を行う。この際、 BF_2 イオンの代わりにInイオン等を注入しても良い。この時、PMOS素子領域においては、浅いn型拡散層510が形成される。

【0043】次に、ゲート電極の側壁にサイドウォールスペーサー511を形成した。シリコン窒化膜を100~200nm程度堆積した後、シリコン窒化膜のシリコン酸化膜に対する選択比が50~100程度ある C_4F_8

+COガス系反応性イオンエッチング(RIE)により、素子分離領域上のシリコン酸化膜の表面が露出するまでエッチバックを行うことによって、サイドウォールスペーサー511を形成した。ここで、サイドウォールスペーサーには後に行う酸化工程によるバースピーク低減のためにシリコン窒化膜が望ましいが、シリコン酸化膜とシリコン窒化膜の2層構造膜でも良い。

【0044】この後、深い接合であるソース・ドレイン拡散層を形成する。フォトリソグラフィー工程により、PMOS素子をフォトレジスト膜によって被い、NMOS素子にはシリコン半導体中でドナーとして振る舞う不純物イオンとしてリンを15~50keVのエネルギー、注入量 $1 \sim 5 \times 10^{15}$ (/cm²)程度でイオン注入512を行う。

【0045】なお、実施例1においてはエネルギー30keV、注入量 3×10^{15} (/cm²)で実験を行った。ここまでの工程での断面図を図6(d)に示す。

【0046】フォトレジスト膜を除去した後、窒素雰囲気中で850~900℃程度のアニールを施すことにより注入不純物を活性化させ、NMOS素子に浅い拡散層510及び深い拡散層513を形成する。この時、PMOS素子においては、ボロンが活性化され浅いp型拡散層509が形成される。今度は、NMOS素子をフォトレジスト膜によって被い、PMOS素子にはチャネルリング効果を防ぐために、注入エネルギー30keV、注入量 1×10^{15} (/cm²)の条件でシリコンイオンの注入を行った後、シリコン半導体中でアクセプタとして振る舞う不純物イオンとしてボロンイオンを10~30keVのエネルギー、注入量 $1 \sim 5 \times 10^{15}$ (/cm²)程度でイオン注入514を行う。ここまでの工程での断面図を図6(e)に示す。

【0047】次に、フォトレジスト膜を除去した後、急速熱処理(RTA、1000℃ 10秒)により注入不純物を活性化させ、PMOS素子に深いソース・ドレイン拡散層515を形成する。この後、シリサイド工程などの周知の工程を経て、ゲート電極上面及びソース・ドレイン領域にシリサイド516、並びに層間絶縁膜517、メタル配線518などを形成することによって、図6(f)に示したような所望のデュアルゲートCMOS型半導体装置を形成することができた。

【0048】デュアルゲートCMOSにおけるPMOSトランジスタに対してソース・ドレイン部とゲート電極への注入に BF_2 を用いた場合には、ソース・ドレイン部にフッ素が混入するため、シリサイド化の際に抵抗増大、耐熱性劣化、接合リークの増大等の問題が発生する。

【0049】本発明の方法ではゲートパターニング前にフッ素を導入する場合には、ソース・ドレイン部へのフッ素の混入は生じないため、上記の問題は生じない。また、ハロゲン元素とシリコンとは結合エネルギーが大き

10

20

30

40

50

いため、安定な結合を得ることができる。そのため、微細なトランジスタで問題となるホットキャリア注入によるトランジスタ特性の劣化を低減することができ、信頼性の優れた絶縁膜を形成することができる。

【0050】(実施例4)図8は、本発明の第4の実施例である絶縁ゲート型トランジスタをゲート電極長手方向に対して、垂直に切断したときの垂直断面図である。図8に示すように、本素子は、素子分離領域801と活性領域802とに大別された半導体基板800の活性領域802上に形成されたMIS型半導体素子である。803は、界面窒素濃度 $1 \times 10^{20} / \text{cm}^3$ の窒化酸化膜からなるゲート絶縁膜である。本素子において、ゲート電極804両側のゲート電極側壁絶縁膜805に隣接し、かつ、上記活性領域802の表面(ゲート絶縁膜803と活性領域802の界面)A-A'よりも上方までソース、ドレイン領域806が存在し、ゲート電極長手方向に対する垂直方向に関して、上記ゲート電極804の端から、ソース、ドレイン領域の端(B-B')の間に活性領域と素子分離領域の境界(C-C')が存在し、ゲート電極長手方向に対して、垂直に切断したときの垂直断面における、半導体基板の活性領域表面A-A'と、ソース、ドレイン領域の表面との間隔(d)が、素子分離領域からゲート電極側に向かうにしたがって増加する形状を有している。

【0051】つまり、ソース、ドレイン領域806と上部配線を接続するコンタクト孔807は、活性領域802上に形成する必要はなく、素子分離領域801上まで延在する積み上げ層上にまたがって形成すれば良い。このため、上記ソース、ドレイン領域幅を加工限界まで縮小することが可能となる。最小加工寸法Fまで許容できる装置を用いた場合、一般的に下地に対する上部パターンのフォトリソグラフィの位置合せマージンは、 $1/3F$ 程度となるため、位置合せが最大にズレた場合でも活性領域上にソース、ドレイン領域が確保される程度つまり、ゲート-素子分離間マージン幅(ゲート電極804の端面からC-C'面までの距離)は、 $2/3F \sim F$ 程度で良い。別の言い方をすると、活性化領域を電氣的に絶縁されたゲート・ソース・ドレインの3つの領域で覆い、その際、ゲート及び素子分離領域の間に垂直段差を作ることなく覆う構造である。

【0052】また、本構造においては、ソース、ドレイン領域に関して、ゲート電極に近づく程、活性領域表面A-A'よりも上方にソース、ドレイン領域806の表面が存在している。この結果、イオン注入法により、ソース、ドレイン領域806への不純物ドーピングを行った際、ゲート電極804近傍程、活性領域表面A-A'から、上記ソース、ドレイン領域と半導体基板(一般的な通常CMOSの場合、ソース、ドレイン領域と逆導電型のウエル領域)との接合までの深さ(d')が浅くなり、微細化した際の短チャネル効果を効果的に抑制でき

る作用がある。

【0053】上記構造を有するトランジスタ素子では、上記ソース、ドレイン領域806の表面と上部配線とを接続するためのコンタクト孔807は、少なくとも一部が上記ソース、ドレイン領域の表面に存在すればよい。この結果、本素子では、活性領域802上のソース、ドレイン領域の占有面積に対して、ソース、ドレイン領域のコンタクト孔との接触面積を大きくすることが可能となるため、コンタクト抵抗を下げるができる。さらに、コンタクトの大きさに囚われず、素子の占有面積、特にソースドレイン領域の占有面積を縮小できる作用がある。この作用により、ソース、ドレイン領域と半導体基板(一般的な通常CMOSの場合、ソース、ドレイン領域と逆導電型のウエル領域)との接合面積を、コンタクト抵抗を犠牲にすることなく小さくすることが可能となり、接合容量を効果的に低減することが可能となる。つまり、本構造では、コンタクト抵抗を犠牲にすることなく、占有面積の縮小化、寄生容量(接合容量)の低減、寄生抵抗の低減が可能となり、非常に大きな相互コンダクタンスを得ることができる。

【0054】本構造におけるトランジスタ素子では、電流の流れ道に占める抵抗の高い領域(チャネルからコンタクトまでの距離d')の割合が、非常に少なく、通常の構造と比較し、ソース、ドレイン領域の寄生抵抗が減少する。さらに、チャネル領域近傍のソース、ドレイン領域から、コンタクト807に近づく程電流の流れる経路が広がり、この作用からも、非常に寄生抵抗が小さくなる。これらの作用により、素子の電流駆動能力が増加し、相互コンダクタンスが向上する。

【0055】しかしながら、本構造の素子では、ゲート長をFとすると、素子分離領域から素子分離領域までの距離は、 $7/3F \sim 3F$ 程度となる。このように、ゲート電極に対して、素子分離が非常に近くなった場合、ゲート電極と素子分離の応力により、従来技術のゲート絶縁膜を適用した場合、ボロンのチャネル方向への異常拡散の影響がより顕著になる。このため、本構造のような素子では、PMOSTランジスタ特性におけるS係数の悪化およびオフリーク電流増大等のトランジスタ特性の悪化が、通常構造の素子(ゲート-素子分離間マージンが $2.5F \sim 3F$ の幅で形成されている素子)と比較してより顕著になる。しかし、本実施例では、ピーク窒素濃度 $1 \times 10^{20} / \text{cm}^3$ の窒化酸化膜からなるゲート絶縁膜が形成されており、実施例1と同様、ゲート絶縁膜中のピーク窒素濃度を $1 \times 10^{20} / \text{cm}^3$ 以上にするることによってソース・ドレイン部からのボロンの部分異常増速拡散を抑制することができるのである。

【0056】

【発明の効果】本発明の表面チャネル型のデュアルゲート構造トランジスタにおいては、ハロゲン元素が含まれるため、界面への窒素原子の導入による界面の劣化を低

減し、界面単位密度が低減して良好な界面を形成することができた。また、界面に含まれるハロゲン元素はシリコンと安定な結合を形成するため、ホットキャリア等によるキャリア注入に対してもダングリングボンドを形成することがない。この結果トランジスタ特性と信頼性を向上するという効果を有する。

【0057】また、特にPMOSでは、ゲート絶縁膜に 1×10^{20} (/cm³)以上の窒素原子濃度の窒素を含むことによって、5nm以下の薄いゲート絶縁膜においてもP型トランジスタに含まれるボロンがチャネルを付き抜けることがないという効果を有する。また、ゲート絶縁膜に 1×10^{20} (/cm³)以上の十分な窒素原子を含むため不純物の混入等によるしきい値電圧の変動が低減されるため、しきい値電圧のバラツキが大きく低減されプロセスの安定性が著しく向上する。

【0058】さらに、本発明の浮遊ゲート型メモリセルトランジスタにおけるゲート絶縁膜に適用した場合には、ホットキャリア耐性の向上により、メモリトランジスタの書き換え回数が増大するという効果を有する。

【0059】絶縁ゲート型トランジスタの作製方法においては、窒素を含むゲート絶縁膜を形成する工程とハロゲン元素を導入する工程を考慮することによって、ゲート絶縁膜に 1×10^{20} (/cm³)以上の十分な濃度の窒素原子をことができ、従って、P型トランジスタのゲート電極に含まれるボロンがチャネルを付き抜けることなく、トランジスタ特性とホットキャリア耐性を向上させるという効果を有する。

【図面の簡単な説明】

【図1】 本発明に係わるデュアルゲートCMOS型絶縁ゲート型トランジスタ半導体装置を示す図である。

【図2】 本発明の実施例におけるPMOSTランジスタにおけるフッ素濃度とフラットバンド電圧の関係を示した図である。

【図3】 本発明の実施例におけるPMOSTランジスタにおけるフッ素濃度とチャネルコンダクタンスの関係を示した図である。

【図4】 本発明に係わる浮遊ゲートと制御ゲートを持つメモリセルにおける絶縁ゲート型トランジスタ半導体装置を示す図である。

【図5】 本発明に係わるデュアルゲートCMOS型半導体装置の製造方法を示す図である。

【図6】 本発明に係わるデュアルゲートCMOS型半導体装置の製造方法を示す図である。

【図7】 本発明に係わるNMOSTランジスタのホットキャリアストレス結果を示す図である。

【図8】 本発明の実施例におけるソース・ドレイン部に積み上げ構造を用いたトランジスタを示す図である。

【符号の説明】

101 半導体基板

102 p-ウェル

103 n-ウェル

104 素子分離領域

105 ゲート絶縁膜

106a n+多結晶ゲート電極

106b p+多結晶ゲート電極

107 サイドウォールスパーサー

108 浅いn型拡散層

109 浅いp型拡散層

110 サイドウォールスパーサー

111 深いn型拡散層

112 深いp型拡散層

113 シリサイド膜

114 層間絶縁膜

115 メタル配線

401 シリコン基板

402 素子分離領域

403 金属配線

404 ゲート絶縁膜

405 浮遊ゲート電極

406 層間絶縁膜

407 制御ゲート電極

408 ソース領域

409 ドレイン領域

410 絶縁膜

501 半導体基板

502 p-ウェル

503 n-ウェル

504 素子分離領域

505 ゲート絶縁膜

506 窒素化ゲート絶縁膜

507 ゲートポリシリコン膜

508 フッ素注入

509 浅いp型拡散層

510 浅いn型拡散層

511 サイドウォール絶縁膜

512 N+イオン注入

513 深いn型拡散層

514 P+イオン注入

515 深いp型拡散層

516 シリサイド膜

517 層間絶縁膜

518 メタル配線

800 半導体基板

801 素子分離領域

802 活性領域

803 ゲート絶縁膜

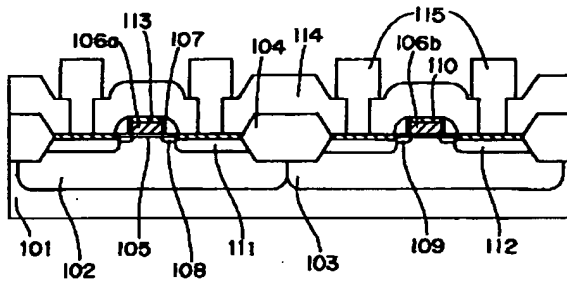
804 ゲート電極

805 ゲート電極側壁絶縁膜

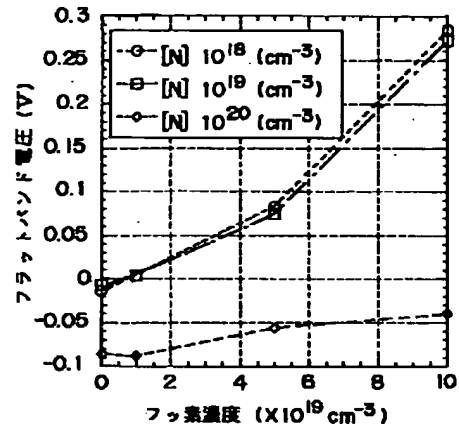
806 ソース・ドレイン領域

807 コンタクト孔

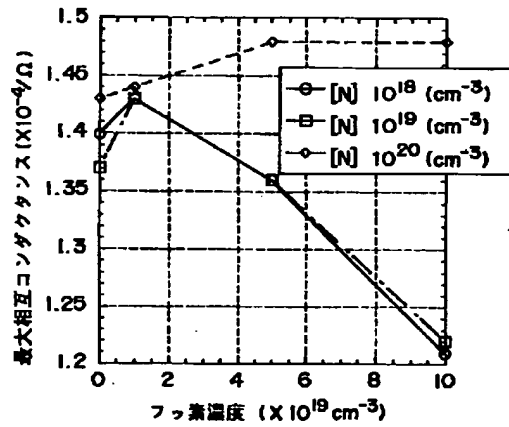
【図1】



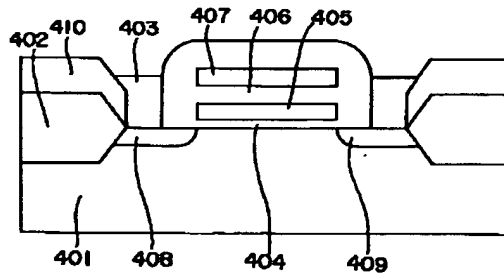
【図2】



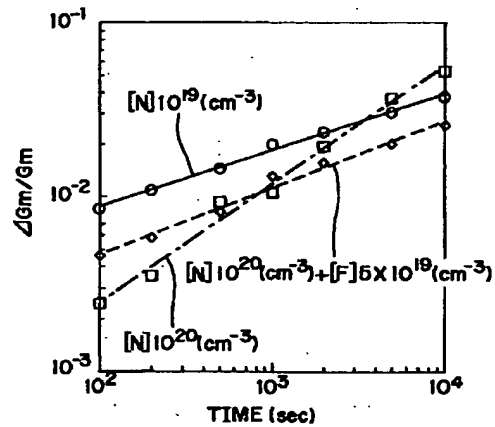
【図3】



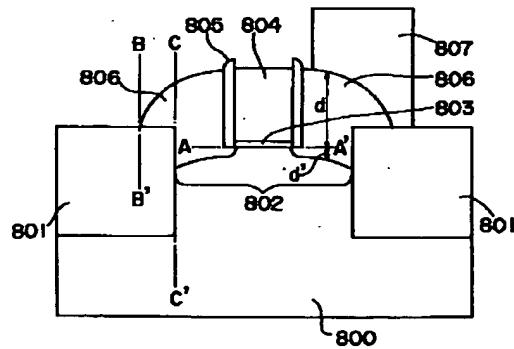
【図4】



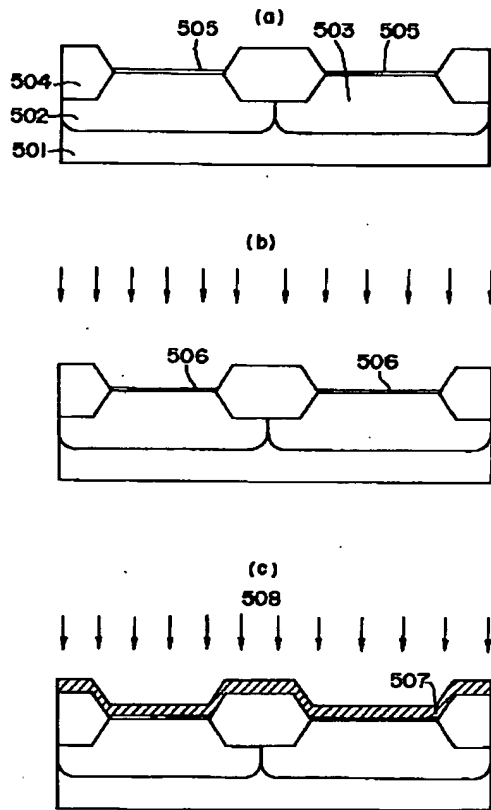
【図7】



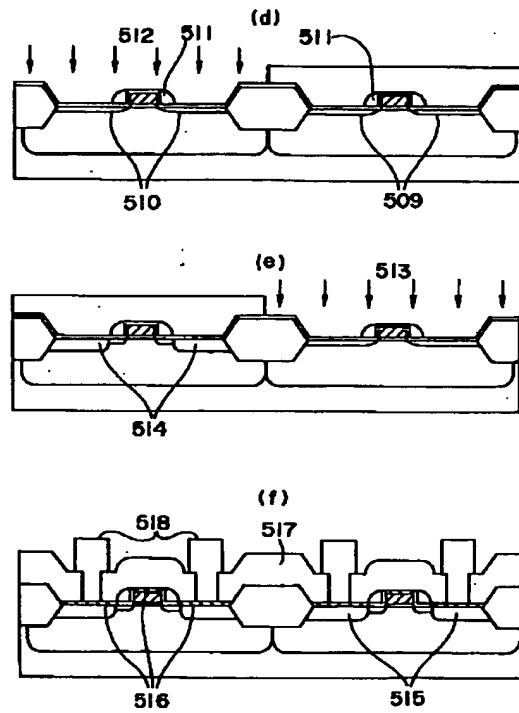
【図8】



【図5】



【図6】



フロントページの続き

(51)Int. Cl.⁷

H01L 29/788

29/792

識別記号

F I

テーマコード(参考)

Fターム(参考) 5F001 AA25 AA42 AA62 AB08 AD15
AD62 AF07 AF25 AG07 AG17
AG23
5F040 DA05 DA06 DA10 DA12 DA13
DB03 DC01 EA08 EC01 EC07
EC08 EC13 ED03 EF01 EF02
EH02 EH08 EK01 FA07 FA10
FA18 FA19 FB02 FB04 FC00
FC14 FC15 FC19
5F048 AA07 AA08 AB01 AC03 BA01
BB05 BB08 BB11 BB12 BC01
BC06 BE03 BF06 BF16 BG12
DA19 DA25 DA27 DA30
5F083 EP23 EP49 EP50 EP62 EP67
GA06 GA30 JA05 JA07 PR12
PR15 PR36